

一种低功耗 14 位 10 MS/s 流水线 A/D 转换器

周佳宁, 李荣宽

(电子科技大学 电子工程学院, 四川 成都 611731)

摘 要: 基于 $0.6\ \mu\text{m}$ BiCMOS 工艺, 设计了一个低功耗 14 位 10 MS/s 流水线 A/D 转换器. 采用了去除前端采样保持电路、共享相邻级间的运放、逐级递减和设计高性能低功耗运算放大器等一系列低功耗技术来降低 ADC 的功耗. 为了减小前端采样保持电路去除后引入的孔径误差, 采用一种简单的 RC 时间常数匹配方法. 仿真结果表明, 当采样频率为 10 MHz, 输入信号为 102.5 kHz, 电源电压为 5 V 时, ADC 的信噪失真比 (SNDR)、无杂散谐波范围 (SFDR)、有效位数 (ENOB) 和功耗分别为 80.17 dB、87.94 dB、13.02 位和 55 mW.

关键词: 模数转换器; 去除采样保持电路; RC 时间常数匹配; 运放共享; 低功耗

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)04-0049-04

A Low Power 14-Bit 10 MS/s Pipelined A/D Converter

ZHOU Jia-ning, LI Rong-kuan

(School of Electronic Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: A low power 14 bit 10MS/s pipelined analog-to-digital converter (ADC) using $0.6\ \mu\text{m}$ BiCMOS process is presented. Some methods to realize low power pipelined ADC will be proposed. These methods include removing the active S/H, sharing the op-amp between adjacent multi-bit-per-stages, scaling down and designing high performance low power operation amplifier technique. To reduce aperture error without the active S/H, a simple RC time constant matching method is used. Simulation results show that a SNDR of 80.17 dB, a SFDR of 87.94 dB, and an ENOB of 13.02 bits are achieved. The ADC consumes 55 mW at 5 V supply.

Key words: analog-to-digital converter; SH-less; RC matching; opamp-sharing; low power

1 引言

在加速度传感器读出系统中, 模数转换器 (ADC) 是一个非常重要的模块. ADC 的精度一般需要达到 12 位~14 位, 同时采样频率约为 5~10 MHz^[1].

功耗一直是 ADC 的关键问题之一, 其功耗正比于动态范围 (DR) 和采样频率^[2]. 低功耗不仅可以增加设备的使用时间, 而且能保证系统的可靠性. 因此, ADC 正朝着低功耗方向发展^[3-4].

ADC 设计过程中需要在速度、精度和功耗之间折中, 流水线 ADC 被证明是一种最适合于高速、高精度应用的 ADC 结构^[4]. 通常情况下, 高于 12 位精度的 ADC 采用数字校准技术 (Digital Calibra-

tion), 它能减小运放的低增益、低带宽和电容失配等非理想因素的影响^[5].

本文在 5 V、 $0.6\ \mu\text{m}$ BiCMOS 工艺下实现一个低功耗 14 位 10 MS/s 的流水线 ADC.

2 流水线 ADC 结构

流水线 ADC 结构如图 1 所示, 主要包括了两相不交叠时钟产生电路, 数字延迟和校正电路以及 ADC 核心部分. 在 ADC 核心部分中, 第一级到第六级均为 2.5 位/级结构, 最后一级为 2 位 Flash ADC.

每一个流水级包括 MDAC 和 Sub-ADC. 其中 Sub-ADC 由 6 个比较器和数字编码电路组成. 在 MDAC 中, 由于运算放大器仅工作在保持相位, 故

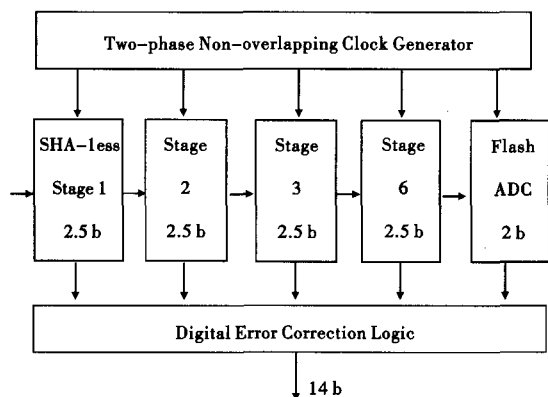


图1 14位流水线 ADC 结构图

相邻两级 MDAC 共用一个运算放大器. 所有 20 位数字输出经过数字延迟和校正电路对齐及校正后, 最终得到 14 位数字输出.

前端采样保持电路不仅引入了噪声和失调, 而且还消耗了大部分功耗和占用了相当大的芯片面积. 基于功耗的考虑, 去除了 ADC 前端的采样保持电路.

去除采样保持电路之后, 由于第一级的 MDAC 和 Sub-ADC 采样通路不同而引入的孔径误差可以通过数字校正来消除.

在精度高于 12 位后, 每级转换更多的位数能节省更多的功耗和面积^[6]. 对于 14 位 ADC 来说, 第一级采用 2.5 位/级结构, 所要求的电容匹配精度减小, 需要的电容值远远小于 1.5 位/级结构所要求的电容值.

ADC 每级均存在级间增益, 对于后面的子级, 其非理想特性(噪声、失调、电容失配和非线性等)除以前每级的增益之积, 对 ADC 整体精度的影响越来越小, 可以对电容和运放进行逐级递减, 以降低功耗.

3 电路设计

3.1 去除采样保持电路的第一级和第二级

去除了前端采样保持电路, 采用运放共享的第一级和第二级 MDAC 和 Sub-ADC 结构如图 2 所示^[7]. 为了描述方便, 图中所示为单端结构, 实际工作时仍为全差分结构.

第一级输入信号在 Q_1 周期被电容 C_{a1} 、 C_{a2} 、 C_{a3} 、 C_{a4} 采样, 与输入共模电平 V_{cm} 相连的开关提前断开, 减小电荷注入效应的影响. 此时第二级电容 C_{b2} 、 C_{b3} 和 C_{b4} 与 Sub-ADC 的输出相连, C_{b1} 则跨接到运放的输出端从而形成负反馈放大电路, 在输出

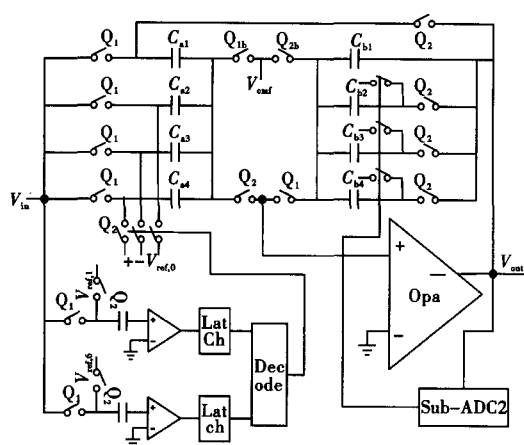


图2 去除采样保持电路的第一级和第二级 MDAC 和 Sub-ADC

端产生第二级 MDAC 的余量. 在 Q_2 周期, 工作过程类似于 Q_1 周期, 在此相位周期里, 第一级处于放大状态, 且在输出端产生第一级的余量, 而电容 C_{b1} 、 C_{b2} 、 C_{b3} 和 C_{b4} 采样第一级 MDAC 的输出值.

由 $C_{a1}=C_{a2}=C_{a3}=C_{a4}$ 和 $C_{b1}=C_{b2}=C_{b3}=C_{b4}$, 可得

$$V_{out} = 4 * \left[V_{in} + \sum_{n=1}^3 D_n \cdot \frac{V_{ref}}{4} \right] \quad (1)$$

$$D_n \in \{-1, 0, 1\}$$

Q_1 和 Q_2 是两相不交叠的时钟, Q_{1b} 和 Q_{2b} 分别是比 Q_1 和 Q_2 略微提前关断的时钟信号.

3.2 RC 时间常数匹配

由于 Sub-ADC 和 MDAC 的信号通路的时间常数并不一定相等, 导致 Sub-ADC 和 MDAC 采样的输入电压值并不相等, 电压差 V_e 就是孔径误差.

由式(1), 2.5 位/级结构输入信号的幅度范围为 $[-V_{ref}, +V_{ref}]$, 数字误差校正范围为 $[-\frac{1}{8}V_{ref}, +\frac{1}{8}V_{ref}]$, 若输入信号为

$$V_{in} = V_{ref} \cdot \sin(2\pi \cdot f_{in} \cdot t) \quad (2)$$

则输入信号 V_m 最大斜率为

$$\left. \frac{dV_{in}}{dt} \right|_{max} = 2\pi \cdot f_{in} \cdot V_{ref} \quad (3)$$

假定不匹配的时间常数为 $\Delta\tau$, 则

$$V_e = 2\pi \cdot f_{in} \cdot V_{ref} \cdot \Delta\tau \quad (4)$$

如果采样网络的时间常数远大于信号带宽, 取 $f_{in} \cdot \tau < 0.1$, 代入式(4), 得

$$\Delta < \frac{1}{8 \times 2\pi \times 0.1} = 0.2 \quad (5)$$

所以, 只要两条信号路径的时间常数失配小于 20%, ADC 的输出值仍然正确^[7].

为了提高采样开关的线性度,第一级 MDAC 和 Sub-ADC 中的采样开关均采用栅压自举(Bootstrapped)开关.栅压自举开关的导通电阻 R_{on} 为

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (6)$$

要使 MDAC 和 Sub-ADC 两个信号通路的时间常数 τ 相等,必须有

$$\frac{R_{SMDAC}}{R_{Sub-ADC}} = \frac{C_{Sub-ADC}}{C_{SMDAC}} \quad (7)$$

式中, R_{MDAC} 和 C_{MDAC} 分别是 MDAC 信号支路的等效电阻和电容; $R_{Sub-ADC}$ 和 $C_{Sub-ADC}$ 分别是 Sub-ADC 信号支路的等效电阻和电容.

将式(6)代入等式(7)得

$$\frac{(W/L)_{SMDAC}}{(W/L)_{Sub-ADC}} = \frac{C_{SMDAC}}{C_{Sub-ADC}} \quad (8)$$

根据式(8)中 MDAC 和 Sub-ADC 电容比值选择栅压自举开关 MOS 管的尺寸,以及进行对称的版图设计,以保证两个信号通路的时间常数失配小于 20%,故仍然在数字校正所容许的误差范围之内.

3.3 运算放大器

设计低功耗运算放大器是另一个降低功耗的有效方法.由于相邻级之间运放共享,6个 MDAC 共需要3个运算放大器.

对于14位的ADC来说,要使增益误差和线性建立误差均小于 $1/2$ LSB,第一个 MDAC 中运算放大器所要求的开环增益误差和建立误差分别为

$$\epsilon_{Gain} = \frac{1}{A_0 \beta} < \frac{1}{2} \text{LSB} \quad (9)$$

$$\epsilon_{settle} = e^{-\frac{T}{\tau}} * \omega_{-3dB} = e^{-\frac{GBW * \beta}{f_s}} < \frac{1}{2} \text{LSB} \quad (10)$$

式中, A_0 和 GBW 分别为运放的开环增益和增益带宽积, β 为反馈系数, f_s 为采样频率.

由式(9)和式(10)可得最小的开环增益和增益带宽积.考虑温度的变化和工艺的偏差,以及运放共享时的记忆效应,留出一定的裕量,取运放的开环增益为 100 dB,增益带宽积为 200 MHz.

为了满足上述要求,运算放大器采用如图3所示的结构.第一级是常见的共源放大器结构,第二级采用了 BiCMOS 工艺中三极管作输入管,以获得更大的开环增益和良好的频率特性.为了减小后级对第一级的影响,在两级之间插入射极跟随器.

密勒补偿电容 C_c 和电阻 R 连接在第一级运放的输出点,改善运放的频率特性.电阻 R 将前向通

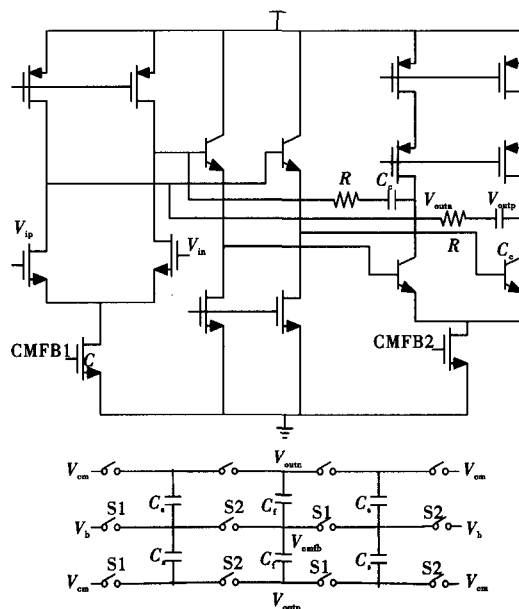


图3 低功耗运算放大器和 SC-CMFB 电路

路引入的右半平面零点移到 GBW 和运放的非主极点之间,增加了系统的稳定性.

基于功耗的考虑,运放的共模负反馈(CMFB)采用一种改进的开关电容结构,如图3所示.开关电容 CMFB 电路具有对称性结构,从而共享的运放在 Q_1 和 Q_2 相位都可以获得稳定的输出共模电压.

3.4 开关电容比较器

有两种形式的比较器在流水线 ADC 中广泛采用.其中一种为动态比较器,只有在比较的相位,比较器才导通,故能节省大部分的功耗,但是动态比较器的失调电压比较大;另一种为预放大锁存比较器,由于前置放大器的隔离和放大,显著的减小了比较器所产生的回踢噪声,这种比较器的失调电压通常为几十毫伏.

由于采用数字误差校正算法,降低了对比较器的失调电压的要求.对于 2.5 位/级的 MDAC 来说,最大能容忍的比较器失调电压为 $0.125 * V_{ref}$,即为 250 mV.要使比较器的失调电压不影响输出结果,Sub-ADC 中使用失调电压比较小的预放大锁存比较器.其失调电压值仍在数字校正允许范围之内,比较器的电路图如图4所示.

4 版图与仿真结果

本文中的流水线 ADC 采用 5 V、0.6 μm BiCMOS 工艺设计,其中版图设计考虑了电路的整体布局,晶体管、电容和电阻的匹配,以及模拟和数字部分的干扰,如图5所示,面积为 $2.6 \text{ mm} \times 1.2 \text{ mm}$.

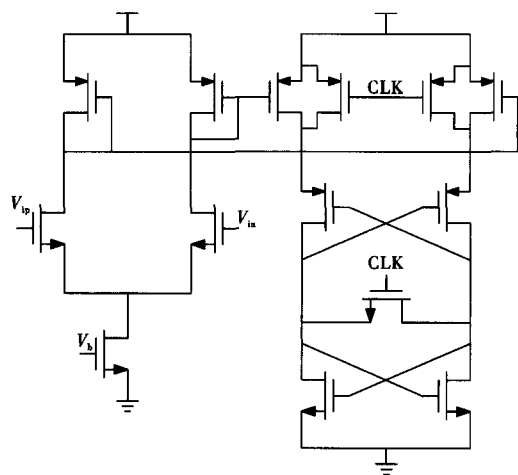


图 4 带前置放大器的比较器

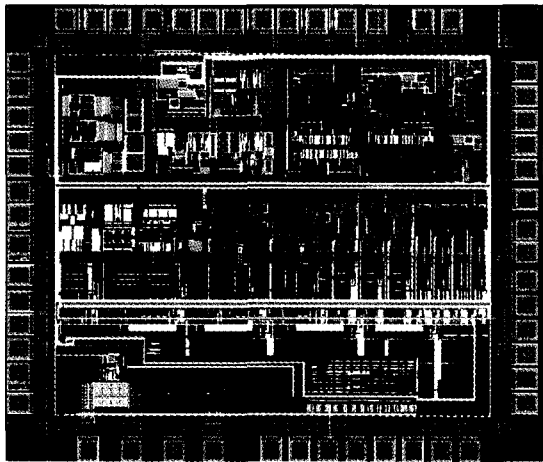


图 5 流水线 ADC 整体版图

当电源电压为 5 V, 采样频率为 10 MHz, 输入信号为 102.5 kHz 时, 仿真结果如图 6 所示, SNDR、SFDR 和 ENOB 分别为 80.17 dB、87.94 dB 和 13.02 位. ADC 部分的功耗为 55 mW.

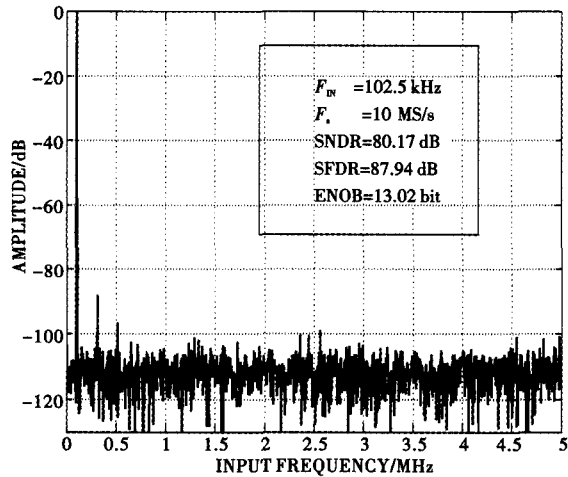


图 6 输入信号 $F_{in}=102.5$ kHz 时的 FFT 频谱

为了对不同精度和采样频率的 ADC 的功耗效

率进行比较, 引入能量优值(FOM).

FOM 的定义为

$$FOM = \frac{Power}{2^{ENOB} \cdot f_s} \tag{11}$$

式中, Power 为流水线 ADC 的功耗, ENOB 为 ADC 的有效位数, f_s 为采样频率.

由式(11)可得, FOM 值越小, ADC 的功耗效率越高.

在表 1 中, 本文设计的 14 位流水线 ADC 的 ENOB 和 FOM 值均远远优于文献[8]的结果. 由于文献[9]采用了性能更好的 0.18 μ m CMOS 工艺, 所以 FOM 值低于本文.

表 1 14 位流水线 ADC 的比较

文献	文献[8]	文献[9]	本文
工艺	0.5 μ m CMOS	0.18 μ m CMOS	0.6 μ m BiCMOS
精度/bit	14	14	14
采样率/(MS/s)	10	40	10
ENOB/bit	12.54	13.62	13.02
功耗/mW	200	210	55
FOM/(pJ/step)	3.35	0.42	0.66

5 结束语

本文设计了一种应用于加速度计读出电路的低功耗 14 位 10 MS/s 流水线 ADC, 使用了前端采样保持电路去除、相邻级间的运放共享等低功耗技术. 为了减小前端采样保持电路去除后引入的孔径误差, 采用了一种简单的 RC 时间常数匹配方法. 基于 BiCMOS 工艺设计了运算放大器, 获得更好频率特性, 同时有效的减小了功耗. 为了降低比较器的失调电压, 采用了预放大锁存比较器.

在采样频率为 10 MHz 和输入信号为 102.5 kHz 时, SNDR、SFDR、ENOB 和功耗的仿真结果分别为 80.17 dB、87.94 dB、13.02 位和 55 mW. FOM 值为 0.66 pJ/step.

参考文献:

[1] Yucetas M, Salomaa J, Kalanti A, et al. A closed-loop SC interface for a ± 1.4 g accelerometer with 0.33% nonlinearity and 2μ g/vHz input noise density[C] // ISSCC Dig Tech Papers. USA; California, 2010: 320-321.

5 结束语

在文献[7]的基础上,本文提出的改进算法对图片进行了有效的前处理,充分利用了各个匹配等级之间的联系进行峰值搜索,利用动态阈值使误匹配的判定和修正更合理、输出三维模型的后处理更有效。综合来看,本文提出的改进算法对基于双目视觉的三维重建具有更加良好的性能。

参考文献:

- [1] 徐奕,周军,周源华. 立体视觉匹配技术[J]. 计算机工程与应用,2003,15(1):1-5.
- [2] 杨东梅,印桂生,赖初荣. 虚拟装配中基于双目视觉的用户化身研究[J]. 微电子学与计算机,2010,27(6):35-38.
- [3] 周佳立,张树有,杨国平. 基于双目被动立体视觉的三维人脸重构与识别[J]. 自动化学报,2009,35(2):123-131.
- [4] 周佳立,张树有. 基于双目被动立体视觉的脚型建模与比对方法[J]. 计算机辅助设计与图形学学报,

2009,21(6):782-788.

- [5] 冯巍,胡波. 基于超复数相位相关的彩色图像配准算法[J]. 系统工程与电子技术,2010,32(1):183-187.
- [6] Takita K, Aoki T, Sasaki Y, et al, High accuracy subpixel image registration based on phase-only correlation [J]. IEICE Trans. Fundamentals, 2003, 86(8):1925-1934.
- [7] Muquit M A, Shibahara T, Aoki T, A high-accuracy passive 3D measurement system using phase-based image matching [J]. IEICE Trans. Fundamentals, 2006, 89(3):686-697.
- [8] 邓红梅,吴四夫. 基于相位相关算法的研究与实现[J]. 信息技术,2005,29(4):19-20.

作者简介:

- 李 达 男,(1986—),硕士研究生. 研究方向为图像处理.
- 潘志斌 男,(1963—),教授. 研究方向为图像编码、图像识别.
- 乔瑞萍 女,(1966—),副教授. 研究方向为图像编码算法及其DSP实现.
- 李敬源 女,(1988—),硕士研究生. 研究方向为图像处理.

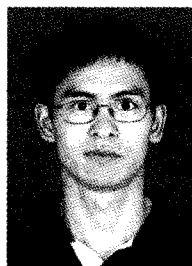
(上接第52页)

- [2] Abo A M, Gray P R. A 1.5-V 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. IEEE Journal of Solid-State Circuits, 1999, 34(5):599-606.
- [3] 陈利杰,周玉梅. 一个用于12位40-MS/s低功耗流水线ADC的MDAC的设计[J]. 微电子学与计算机, 2011,28(1):108-112.
- [4] 李天望,叶波,江金光. 1.8V 10位50MS/s低功耗流水线ADC的设计[J]. 微电子学与计算机,2010,27(4):46-49.
- [5] Fan M J, Ren J Y, Shu G H, et al. A 12-bit 40-MS/s SHA-less pipelined ADC using a front-end RC matching technique[J]. Journal of Semiconductors, 2011, 32(1): 015002-1—015002-5.
- [6] Cline D W, Gray P R. A power optimized 13-b 5 Msamples/s pipelined analog-to-digital converter in 1.2 μm CMOS[J]. IEEE Journal of Solid-State Circuits, 1996, 31(3):294-303.
- [7] Chang D Y. Design techniques for a pipelined ADC without using a front-end sample-and-hold amplifier [J]. IEEE Transactions on Circuits and Sys-

tems—I: Regular Papers, 2004, 51(11): 2123-2132.

- [8] Chen H S, Song B S, Bacrania K. A 14-b 20-msample/s CMOS pipelined ADC[J]. IEEE Journal of Solid-State Circuits, 2001, 36(7):997-1001.
- [9] 王晋雄,刘力源,李冬梅. 一种高线性度14位40 MS/s流水线A/D转换器[J]. 微电子学,2010,40(6):765-769.

作者简介:



周佳宁 男,(1987—),硕士研究生. 研究方向为模拟混合信号集成电路设计.